

CLIPPEDIMAGE= JP02001068671A

PAT-NO: JP02001068671A

DOCUMENT-IDENTIFIER: JP 2001068671 A

TITLE: MANUFACTURE OF TRANSISTOR HAVING ELEVATED SOURCE AND DRAIN REGIONS

PUBN-DATE: March 16, 2001

INVENTOR-INFORMATION:

NAME

RI, SEIKO

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

HYUNDAI ELECTRONICS IND CO LTD

COUNTRY

N/A

APPL-NO: JP2000195660

APPL-DATE: June 29, 2000

INT-CL (IPC): H01L029/78;H01L021/205

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the size of facets respectively formed on the surfaces of epitaxial silicon films, and to efficiently suppress hot carriers to reduce a short-channel threshold rolloff, by a method wherein self-aligned epitaxial silicon slivers are respectively formed in undercuts.

SOLUTION: Field oxide isolation structures 21 are formed in a silicon substrate 20. An ion implantation is performed in the substrate 20 at a low energy and regions 25 doped in an intermediate concentration are formed in the substrate 20 adjoining both side parts of a gate structure. Oxide films 26a and nitride films 26b are deposited on the upper part of the whole substrate 20 and double gate spacers 26 are formed. Lightly-doped silicon films 27 are formed on the substrate 20 using a low-pressure chemical vapor-phase deposition method and epitaxial layers are respectively grown selectively on the exposed parts of the substrate 20. At this time, since self-aligned epitaxial silicon slivers 29 are respectively grown in undercuts, the size of facets 28 which are respectively formed on the surfaces of the films 27 adjacent to the spacers 26

can be fully lessened.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68671

(P2001-68671A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 29/78  
21/205

識別記号

F I

H 0 1 L 29/78  
21/205

テームト(参考)

3 0 1 S

審査請求 未請求 請求項の数17 O L 外国語出願 (全 24 頁)

(21)出願番号 特願2000-195660(P2000-195660)

(22)出願日 平成12年6月29日(2000.6.29)

(31)優先権主張番号 99-25429

(32)優先日 平成11年6月29日(1999.6.29)

(33)優先権主張国 韓国 (K R)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136  
-1

(72)発明者 李 政 昊

大韓民国 ソウル 廣津区 君子洞 159  
-9

(74)代理人 100066784

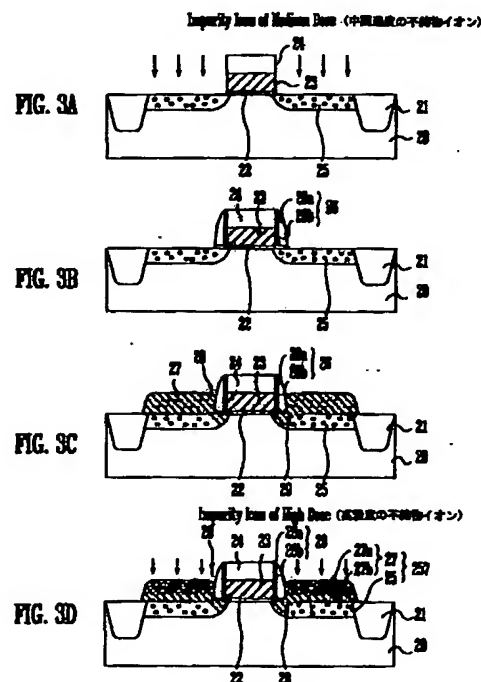
弁理士 中川 周吉 (外1名)

(54)【発明の名称】 エレベイテッドソース及びドレイン領域を有するトランジスタ製造方法

(57)【要約】

【課題】 エレベイテッドソース及びドレイン領域を有するトランジスタ製造方法を提供すること。

【解決手段】 本発明に係る、基板にエレベイテッドドレインを有するトランジスタ製造方法は、基板上にゲート構造を形成するステップと、前記ゲート構造の一侧に隣接し、第1ドーパント濃度レベルを有する第1ドーフト領域を提供するステップと、前記第1ドーフト領域上に第2ドーパント濃度レベルを有する第2ドーフト領域を形成するステップと、前記第2ドーフト領域上に前記第2ドーパント濃度レベルとは異なる第3ドーパントレベルを有する第3ドーパント領域を形成するステップとを含んでなるが、前記エレベイテッドドレインは前記第3ドーフト領域を含み、前記第2ドーパント濃度レベルは前記第3ドーパント濃度レベルより低いことを特徴とする。



## 【特許請求の範囲】

【請求項1】 基板にエレベイテッドドレインを有するトランジスタ製造方法において、

基板上にゲート構造を形成するステップと、

前記ゲート構造の一侧に隣接し、第1ドーパント濃度レベルを有する第1ドーパント領域を提供するステップと、前記第1ドーパント領域上に第2ドーパント濃度レベルを有する第2ドーパント領域を形成するステップと、

前記第2ドーパント領域上に前記第2ドーパント濃度レベルとは異なる第3ドーパントレベルを有する第3ドーパント領域を形成するステップとを含んでなるが、前記エレベイテッドドレインは前記第3ドーパント領域を含み、前記第2ドーパント濃度レベルは前記第3ドーパント濃度レベルより低いことを特徴とするトランジスタ製造方法。

【請求項2】 前記第1ドーパント濃度レベルは前記第2ドーパント濃度レベルより高く、前記第3ドーパント濃度レベルより低いことを特徴とする請求項1記載のトランジスタ製造方法。

【請求項3】 前記第1ドーパント領域は前記基板内に形成され、低いエネルギーでイオンが注入されるが、前記第1ドーパント濃度レベルは $1E14$ 乃至 $5E14$ であり、前記第1ドーパント領域の接合深さは約 $500\text{\AA}$ であることを特徴とする請求項1記載のトランジスタ製造方法。

【請求項4】 前記第2及び第3ドーパント領域は、前記第1ドーパント領域上に第2ドーパント濃度レベルの上部及び下部を有するエピタキシャルシリコン膜を成長させるステップと、

前記エピタキシャルシリコン膜の上部に一定の深さをもってイオンを注入するステップと、

注入されたイオンを活性化させて前記エピタキシャルシリコン膜の上部が第3濃度レベルを有する第3ドーパント領域に変化するように前記基板をアニリングするステップとを含んでなることを特徴とする請求項1記載のトランジスタ製造方法。

【請求項5】 第1絶縁膜及び、第1絶縁膜とは異なる第2絶縁膜からなるゲートスペーサを形成するステップと、

アンダーカットを形成するために前記第1絶縁膜の一部を除去するステップと、

前記アンダーカット内に第2ドーパント濃度レベルを有する自己整合エピタキシャルシリコンスリバーを形成するステップとをさらに含んでなることを特徴とする請求項4記載のトランジスタ製造方法。

【請求項6】 前記アニリングは、前記自己整合エピタキシャルシリコンスリバーが前記第3ドーパント濃度レベルを有しないように制御されることを特徴とする請求項5記載のトランジスタ製造方法。

【請求項7】 前記エピタキシャルシリコン膜の成長

中、前記ゲートスペーサの付近に形成されたファシット(facet)の大きさは $100\text{\AA}$ 以下であることを特徴とする請求項5記載のトランジスタ製造方法。

【請求項8】 前記第1絶縁膜は酸化膜、前記第2絶縁膜は窒化膜であり、前記第1絶縁膜の膜厚は約 $100$ 乃至 $200\text{\AA}$ 、前記第2絶縁膜の膜厚は $200$ 乃至 $300\text{\AA}$ であることを特徴とする請求項7記載のトランジスタ製造方法。

【請求項9】 前記アンダーカットは前記ゲート構造から側部に約 $100\text{\AA}$ であることを特徴とする請求項5記載のトランジスタ製造方法。

【請求項10】 前記エピタキシャルシリコン膜は約 $500$ 乃至 $2000\text{\AA}$ の厚さを有することを特徴とする請求項4記載のトランジスタ製造方法。

【請求項11】 前記エピタキシャルシリコン膜の成長ステップは、

約 $30$ 乃至 $300\text{ sccm}$ のDCS、約 $30$ 乃至 $200\text{ sccm}$ のHC1及び約 $100$ 乃至 $300\text{ sccm}$ の燐が供給されるステップと、

約 $10$ 乃至 $50\text{ Torr}$ の蒸着圧力を維持させるステップと、

約 $750$ 乃至 $950^\circ\text{C}$ の蒸着温度を維持させるステップとを含んでなることを特徴とする請求項4記載のトランジスタ製造方法。

【請求項12】 前記アニリング工程は、

前記基板を反応炉に入れるステップと、

前記反応炉内に窒素雰囲気を提供するステップと、

前記反応炉の温度を $800$ 乃至 $950^\circ\text{C}$ に維持させるステップと、

前記反応炉内で約 $10$ 乃至 $30$ 分間前記基板を処理するステップとを含んでなることを特徴とする請求項4記載のトランジスタ製造方法。

【請求項13】 前記アニリング工程は、

前記基板を急速熱処理炉に入れるステップと、

前記急速熱処理炉に窒素雰囲気を提供するステップと、

前記急速熱処理炉の温度を約 $900$ 乃至 $1050^\circ\text{C}$ に維持させるステップと、

前記基板を前記急速熱処理炉で約 $1$ 乃至 $30$ 秒間処理するが、温度は秒当り約 $30$ 乃至 $200^\circ\text{C}$ の増加量で増加させるステップとを含んでなることを特徴とする請求項4記載のトランジスタ製造方法。

【請求項14】 前記第3ドーパント濃度レベルは、 $1E15/\text{CM}$ 乃至 $5E15/\text{CM}$ のイオン濃度を有し、前記第3ドーパント領域は前記エピタキシャル層の約 $1/2$ の膜厚を有することを特徴とする請求項1記載のトランジスタ製造方法。

【請求項15】 基板にエレベイテッドソース及びドレインを有するトランジスタ製造方法において、

ゲート構造の下部にチャンネルを確定するために基板上にゲート構造を形成するステップと、

基板及び前記チャネルの周辺に第1ドーパント濃度レベルを有する第1ドーパント領域を形成するステップと、前記第1ドーパント領域上に、上部及び下部からなり且つ第2ドーパント濃度レベルを有するエピタキシャルシリコン膜を形成するステップと、上部のドーパント濃度レベルを増加させるために前記エピタキシャルシリコン膜の上部にドーパントを注入するステップとを含んでなることを特徴とするトランジスタ製造方法。

【請求項16】 前記下部に注入されたイオンが拡散しないようにし、前記上部に注入されたイオンが活性化されるように前記基板をアニリングして、前記上部が前記下部の第2ドーパント濃度レベルより高い第3ドーパント濃度レベルを有するようにするステップをさらに含んでなることを特徴とする請求項15記載のトランジスタ製造方法。

【請求項17】 前記ゲート構造に隣接したゲートスペーサを提供するステップと、

前記ゲートスペーサの下部に第2ドーパント濃度レベルを有する自己整合エピタキシャルシリコンスリバーを形成するステップとをさらに含んでなることを特徴とする請求項16記載のトランジスタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体基板製造方法に係り、特にエレベイテッドソース及びドレイン領域を有するトランジスタ製造方法に関する。

【0002】

【従来の技術】集積回路製造技術において回路の密度を増加させるための努力が続けられている。これにより、電界効果トランジスタのサイズ及びチャネル長さが最小化されている。技術の進歩は電界効果トランジスタを長いチャネル素子（チャネル長さが2ミクロンより長い）から短いチャネル素子（通常、チャネル長さが2ミクロンより短い）に変化させた。

【0003】電界効果トランジスタのチャネル長さ（ゲート長さ）が約2ミクロンより短くなるので、いわゆる短チャネル効果が段々重要視とされる。結果的に、素子設計及びそれによる工程技術は、最適の素子性能が連続して得られるようにこれらの効果を考慮して変更されなければならない。

【0004】例えば、素子の大きさが減少し、供給電圧が一定に維持されると、基板内で生成された側面電場が増加する。電場が強すぎると、それはいわゆるホットキャリア効果を生じさせる虞がある。ホットキャリア効果は一般的なドレイン構造から作られたn型トランジスタ素子のチャネル長さが2ミクロンより短いと、収容できない性能低下を生じさせる。

【0005】かかる問題を克服するために、ソース及びドレイン領域に先だって、チャネル領域と関係のあるラ

イトドーパントドレイン(Lightly Doped Drain; LDD)領域を基板内に提供する方法がある。LDD領域はソース及びドレインより弱くドーパされて提供される。これは非LDD n型トランジスタのチャネルで生じる強い電圧降下とは相反してチャネルでドレインによる電圧降下の分配を助長する。LDD領域は電圧降下電位の一部をドレインに吸収してホットキャリア効果を減少させる。結局、素子の安定性が増加する。

【0006】しかし、ゲート幅の度外れた減少（即ち、短いチャネル長さ）は従来トランジスタのLDD領域の効果を低下させる。例えば、短いチャネル長さはゲート電圧がオフされたとき、拡散領域間の十分な半導体物質の導電が防止されうるほどのLDD長さを必要とする。このような問題を解消する一環として、ソース及びドレインの主要部分をエレベイティングして基板の外部に形成するものである。たとえば、単結晶シリコンの薄い（例えば、200nm）エピタキシャル層はエピリアクター(Epi reactor)内で露出された単結晶ソース及びドレイン基板領域から選択的に成長されることができ、ソース及びドレイン領域を効果的に提供するために十分な導電性のドーピングが提供される。ライトドーパントLDD(Lighter Doped LDD)領域はエレベイテッドソース及びドレイン領域の直下部の基板内に提供されることができ、従って、十分な長さのチャネルは狭いゲート幅にも拘わらず、効果的に提供される。このような結果、トランジスタはかなり減少した短チャネル効果を有する。

【0007】図1A乃至1Dはエレベイテッドドレイン及びソース領域を有するトランジスタを製造する従来の方法を説明するための断面図である。図1Aと関連して、活性領域と非活性領域を確定するためにフィールド酸化分離構造11がシリコン基板10上に形成される。ゲート酸化膜12、ゲート電極13及びマスク絶縁膜14が活性領域のシリコン基板10上部の所定部分に形成される。ライトドーパント領域15はイオン注入工程によってシリコン基板10内に形成される。酸化膜16aと窒化酸化膜16bからなる二重ゲートスペーサ16が形成される（図1B）。ドーパされてない化学気相蒸着工程によってシリコン基板10の露出部分にエピタキシャルシリコン膜17が選択的に成長される（図1C）。エピタキシャルシリコン膜17は二重ゲートスペーサに隣接した領域で他の箇所より遅く成長する。結果的に、エピタキシャルシリコン膜17と二重ゲートスペーサ16が出会う接合で大きいファシット(facet)18が形成される。ファシット18が形成される間、自己整合エピタキシャルシリコンスリバーSESS19が二重ゲートスペーサ16の下部に形成される。シリコン膜17を十分ドーパさせうるイオン注入工程が行なわれる。（図1D）。従って、シリコン膜17に注入されたイオンを活性化させるためのアニリング工程が行なわれ、それによりソース及びドレイン領域の形成が完了する。

【0008】図2と関連して、上述したように製造された従来のトランジスタはゲートスペーサの下部に位置し、チャネルに隣接し、所望の深さよりさらに深く基板に延長されたLDD層15を有する。この結果、エピタキシャルシリコン膜17をドーパさせるためのイオン注入工程が行なわれるとき、ファシット18を経由してエピタキシャルシリコン膜17に注入されるイオンは大体他の地域のイオンよりシリコン膜17にさらに深く拡散する。従って、大きいファシット18はトランジスタの短チャネル特性とホットキャリア抑制能力を低下させる。しかも、アニリング工程中、多くのイオンが自己整合エピタキシャルシリコンスリバー19に拡散する虞があり、その結果十分ドーパされたシリコン膜17とチャネル間に接触するライトドープト領域15を有する長所の一部が損失される。

#### 【0009】

【発明が解決しようとする課題】かかる問題点を解消するために、使用される一つの方法はファシット18を除去するためにシリコン膜17を平坦にし、ホットキャリア効果を減少させるために接合の構造を再構成した。しかし、このような解決方法は0.13ミクロンまたはその以下に素子の大きさを減少させるのに適用し難い。

#### 【0010】

【課題を解決するための手段】一実施例として、基板にエレベイテッドドレインを有するトランジスタの製造方法は、基板にゲート構造を形成するステップを含む。ゲート構造の側部に隣接するように第1ドープト領域が提供され、第1ドープト領域は第1ドープト濃度レベルを有する。第1ドープト領域の上部に第2ドープト領域が形成され、第2ドープト領域は第2ドープト濃度レベルを有する。第2ドープト領域の上部に第3ドープト領域が形成され、第3ドープト領域は第2ドープト濃度レベルとは異なる第3ドープト濃度レベルを有する。

#### 【0011】

【発明の実施の形態】図3A乃至図3Dは本発明の一実施例に係るエレベイテッドソース及びドレイン領域を有するトランジスタの製造方法を示す。図3Aを参照すると、活性領域と非活性領域を確定するためにフィールド酸化分離構造21がシリコン基板20上に形成される。活性領域に形成されたゲート構造はシリコン基板に提供されたゲート酸化膜22、ゲート酸化膜上に形成されたゲート電極23及びゲート電極上に形成されたマスク絶縁膜24を含む。

【0012】また、中間濃度でドーパされた領域25がゲート構造の両側部と隣接した基板20に形成される。このための一つの実施例として、低いエネルギーでイオン注入段階が行なわれる。例えば、NMOSTランジスタを製造するために、約5乃至10KeVの低いエネルギーでヒ素Asイオンが基板の所定の部分に注入され

る。前記イオン注入は中間濃度でドーパされた領域25を形成するために、ターゲット領域の不純物濃度が $10^{14}$ 乃至 $7 \times 10^{12}$ イオン/cm<sup>3</sup>となるまで実施する。前記領域25の接合深さは約600Åとなるようにする。他のイオン注入工程では異なる方法が用いられてもよい。例えば、ヒ素Asイオンでない他のイオンが使用されると、異なるエネルギーレベル、異なる不純物濃度、異なる接合深さ或いはそれらの組合せが必要である。

【0013】図3Bを参照すると、前記中間濃度でドーパされた領域25が形成された後、酸化膜26a及び窒化膜26bが基板の全体上部面に順次蒸着される。前記酸化膜26a及び窒化膜26bは膜厚100乃至300Åを有する。通常、酸化膜26aは膜厚100乃至200Åに形成される反面、窒化膜26bは膜厚200乃至300Åに形成されることが好ましい。その後、二重ゲートスペーサ26を形成するために、前記酸化膜26a及び窒化膜26bを選択的に除去する。前記酸化膜26a及び窒化膜26bを選択的に除去してゲートスペーサ26を形成するが、一般にブランケットドライエッチングが用いられる。

【0014】図3Cを参照すると、ライトドープトシリコン膜27を形成するために、まず基板上の自然酸化膜(図示せず)を除去する。一実施例によれば、チャンバーから基板を除去した後、基板をHFのような洗浄液に浸してRCA或いはUVオゾン洗浄を行なうエクスサイチュ(Ex-situ)洗浄方法で自然酸化膜を除去する。その後、基板を再びチャンバに入れる。水素雰囲気中で基板をベークする。例えば、水素ベークは基板上に酸化膜が成長しないように約800乃至900℃の温度で1乃至5分間実施する。前記エクスサイチュ洗浄と水素ベークは前記下部26bの酸化膜26aの選択部分を除去するために調節され、これにより窒化膜26bの下部にアンダーカット(Under Cut)が形成される。前記アンダーカットは前記ゲート酸化膜22の終端から約100Å程度で止まる。

【0015】水素ベーク後、ライトドープトシリコン膜或いはライトドープトエピタキシャルシリコン膜27が前記中間濃度でドーパされた領域25上に形成される。一実施例として、前記ライトドープトシリコン膜27は低圧化学気相蒸着LPCVD方法を用いてシリコン基板20の露出部分に選択的にエピ層を成長させることにより形成される。LPCVD工程のための処理方法は、約20乃至300sccmのジクロロシラン(DCS; SiH<sub>2</sub>Cl<sub>2</sub>)、約30乃至200sccmのHCl及びドーピングのための100乃至300sccmの燐(P)をチャンバーに供給することを含む。チャンバーは約10乃至50Torrの圧力及び750乃至950℃の温度に維持される。前記蒸着工程は前記ライトドープトシリコン膜27が約500乃至2000Åの膜厚を

有するように約10分間実施される。

【0016】図3Cに示したように、二重ゲートスペーサ26と隣接しているエピタキシャルシリコン膜27の成長は他の地域より遅い。従って、二重ゲートスペーサ26と隣接しているエピタキシャルシリコン膜27の表面にファシット28が形成される。しかし、本発明の実施例ではLPCVD工程中、アンダーカット内にライトドープトシリコン膜、例えば自己整合エピタキシャルシリコンスリバーSESS29が成長するため、前記ファシット28は従来の工程で形成されたファシット18より十分小さい。このライトドープトSESS29は第1、酸化膜/窒化膜の厚さ比が従来SESSの約1/4と比較すれば約2/3に増加し、第2、ライトドープ選択的エピ成長が効果的に成長比を遅くしてファシットを最小化させるために、ファシット28の大きさ減少に寄与する。一般に、本発明の実施例によれば、前記ファシット28の大きさは100Åより小さい。

【0017】図3Dを参照すると、前記エピタキシャルシリコン膜27上に高い濃度でドーパされた領域27aを形成するためにイオン注入工程を行なう。一実施例として、NMOSTランジスタを製造するために、前記イオン注入工程は約5乃至10KeVの低いエネルギーでエピタキシャルシリコン膜にヒ素Asイオンを約300Åの深さで注入するステップを含む。前記エネルギーレベルはイオンがエピタキシャルシリコン膜に極めて深く注入されないように選択されるので、エピタキシャルシリコン膜の下部は低い濃度でドーパされる。前記イオン注入はターゲット領域の不純物濃度が $10^{15}$ 乃至 $5 \times 10^{15}$ イオン/cm<sup>3</sup>となるまで実施する。所望の不純物濃度に達すると、エピタキシャルシリコン膜に注入されたイオンを活性化させ、エピタキシャルシリコン膜の約1/2の膜厚を有する高濃度でドーパされた領域27aを形成するために、予定された時間の間アニリング工程を実施する。1/2以下の膜厚は低濃度でドーパされる。

【0018】一実施例として、前記高濃度でドーパされた領域27a及び低濃度でドーパされた領域27bは、イオン注入工程を経ることなく形成されてもよい。例えば、これらの領域は低い濃度でドーパされた領域27bを成長させるための第1CVD工程を行なった後、高濃度でドーパされた領域27aを成長させるための第2CVD工程を行なうことにより形成されてもよい。

【0019】前記実施例をさらに参照すると、前記アニリング工程はエピタキシャルシリコン膜27の上部は高濃度でドーパされるようにする反面、下部は低い濃度で残るように調節される。一実施例として、反応炉でアニリング工程が行なわれる場合、800乃至950℃温度の窒素雰囲気中で10乃至30分間実施される。他の実施例として、急速熱処理炉でアニリング工程が行なわれる場合、900乃至1050℃温度のN<sub>2</sub>を含む雰囲気中で

1乃至30秒間実施され、温度は秒当り約30乃至200℃の増加量で増加する。

【0020】前記工程から接合257としてエレベイトドソース及びドレイン領域を有するランジスタが形成される。前記接合257は順次積層された中間濃度でドーパされた領域25、低い濃度でドーパされた領域27b及び高濃度でドーパされた領域27aを含む。

【0021】図4は従来のランジスタと前記方法によって形成された新しいランジスタの電界集中現象を比較する。X軸はゲート中心からの距離を図示し、Y軸は電界の強度を示す。図示したように電界における最高値(Spike)は、従来のランジスタと新しいランジスタの両方ともゲートとドレイン接合付近で観察される。しかし、新しいランジスタは大体従来のランジスタより低い最高値を有する。結果的に、新しいランジスタはホットキャリアを効率良くさらに抑制し、短チャネルしきい値ロールオフ(Roll-off)を減少させる。このような長所は低濃度でドーパされ且つファシットの形成が最小化された自己整合エピタキシャルシリコンスリバー29の形成によって得られるものと認められる。

【0022】以上は特定の実施例について記載しているが、様々な変形、他の構造及び同等体を用いることができる。従って、前記記載された内容及び図は特許請求の範囲によって定義される本発明の範囲を制限するものではない。

#### 【図面の簡単な説明】

【図1】図1A乃至図1Dは従来のランジスタ製造方法を説明するための断面図である。

【図2】図1に示した「A」部分の拡大図である。

【図3】図3A乃至図3Dは本発明の実施例に係るランジスタ製造方法を説明するための断面図である。

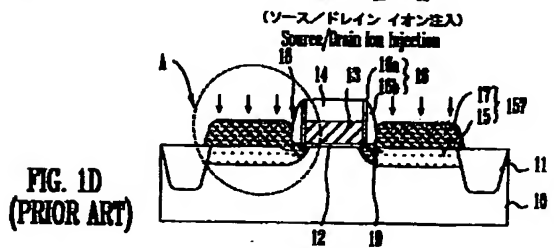
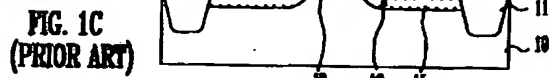
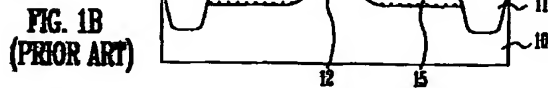
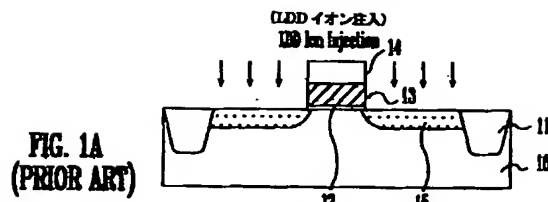
【図4】従来のランジスタと本発明の実施例によって製造されたランジスタの電界集中現象を比較するためのグラフ図である。

#### 【符号の説明】

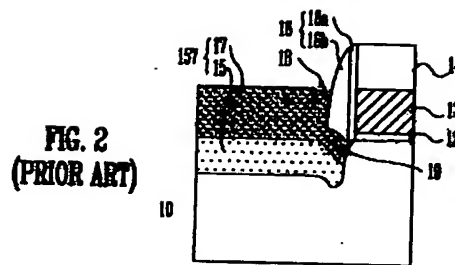
- 10及び20 シリコン基板
- 11及び21 フィールド酸化分離構造
- 12及び22 ゲート酸化膜
- 13及び23 ゲート電極
- 14及び24 マスク絶縁膜
- 15及び27b 低濃度ドーピング領域
- 16及び26 二重ゲートスペーサ
- 17 エピタキシャルシリコン膜
- 18及び28 ファシット
- 19及び29 自己整合エピタキシャルシリコンスリバー
- 25 中間濃度でドーパされた領域
- 26a 酸化膜
- 26b 窒化膜27 ライトドープトシリコン膜27a 高濃度ドーピング領域257 接合



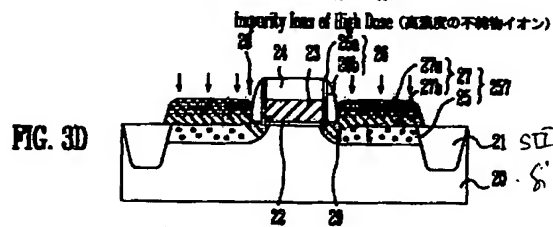
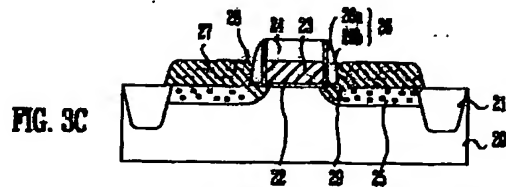
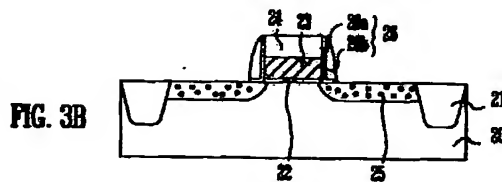
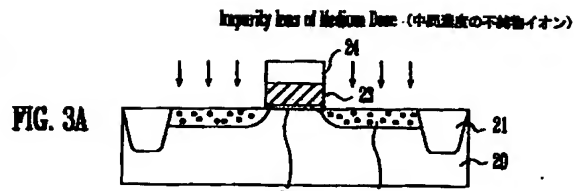
【図1】



【図2】



【図3】

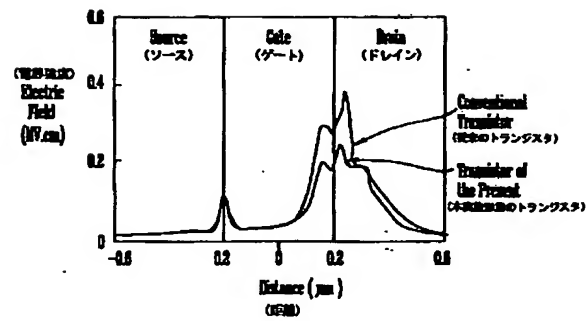


23 = gate electrol.  
24 = Insulated  
25 = medium doped Si  
26a = ox  
26b = Nitride  
27 = lightly doped Si



【図4】

FIG. 4



【外国語明細書】

**METHOD OF MANUFACTURING A TRANSISTOR HAVING ELEVATED  
SOURCE AND DRAIN REGIONS**

**BACKGROUND OF THE INVENTION**

**Field of the Invention:**

The invention relates to a method of fabricating a semiconductor substrate, and more particularly to manufacturing a transistor having elevated source and drain regions.

Integrated circuitry fabrication technology continues to strive to increase circuit density, and thereby minimize the size and channel lengths of field effect transistors. Improvements in technology have resulted in reduction of field effect transistor size from long-channel devices (i.e., channel lengths typically greater than 2 microns) to short-channel devices (i.e., channel lengths typically less than 2 microns).

As field effect transistor channel lengths (i.e., gate widths) became smaller than about 3 microns, so-called short channel effects began to become increasingly significant. As a result, device design and consequently process technology have to be modified to take these effects into account so that optimum device performance could continue to be obtained. For example, as device dimensions are reduced and the supply voltage remains constant, the lateral electric field generated within the substrate increases. If the field becomes strong enough, it can give rise to so-called hot-carrier effects. Hot-carrier effects cause unacceptable performance degradation in n-type transistor devices built with conventional drain structures if their channel lengths are less than 2 microns.

A preferred method of overcoming this problem is to provide lightly doped drain "(LDD)" regions within the substrate relative to the channel region in advance of the source and drain regions. The LDD regions are provided to be doped lighter than the source and drain regions. This facilitates sharing of the voltage drop by the drain in the channel, as opposed to the stark voltage drop at the channel occurring in non-LDD n-type transistors. The LDD regions absorb some of the voltage drop potential into the drain, thus reducing hot carrier effects. As a result, the stability of the device is increased.

However, further shrinking of the gate width (i.e., shorter channel length) makes the LDD region of a conventional transistor less effective. For example, shorter channel lengths require the LDD length to be reduced to ensure sufficient semiconductive material between the diffusion regions to prevent conductance when the gate voltage is off. One way of attending to such problems is to displace the predominant portion of the source and drain regions outwardly away from the substrate by elevating them. For example, a thin (e.g., 200 nm) epitaxial layer of monocrystalline silicon can be selectively grown from exposed monocrystalline source and drain substrate areas within an epi reactor, and provided with sufficiently high conductivity doping to effectively provide source and drain regions. The lighter doped LDD regions can be provided within the substrate immediately below the elevated source and drain. Thus, a channel of sufficient length is effectively provided despite the smaller width gate. The resulting transistor has significantly reduced short channel effects.

Figs. 1A to 1D are cross-sectional views for explaining a conventional method of manufacturing transistors having elevated drain and source regions. Referring to Fig. 1A, a field oxide isolation structure 11 is formed on a silicon substrate 10 to define active and inactive regions. A gate structure having a gate oxide film 12, a gate electrode 13 and a mask insulating film 14 are formed on a portion of the silicon substrate 10 within the active region. Lightly doped regions 15 are formed within the silicon substrate 10 by an ion implantation step. A double gate spacer 16 having an oxide film 16a and a nitride oxide film 16b formed (Fig. 1B). An epitaxial silicon layer 17 is selectively grown on the exposed portion of the silicon substrate 10 using a chemical vapor deposition process without doping (Fig. 1C). The epitaxial silicon layer 17 grows at slower rate at a location adjacent to the double gate spacer 16 than elsewhere. As a result, a large facet 18 is formed at a junction where of the epitaxial silicon layer 17 meets the double gate spacer 16. While the facet 18 is being formed, a self-aligned epitaxial silicon sliver (SESS) 19 is formed below the double gate spacer 16. An ion implantation step is performed to heavily dope the silicon layer 17 (Fig. 1D). Thereafter, an annealing process is performed to activate the ion injected into the silicon layer 17, thereby completing the formation of the source and drain regions.

Referring to Fig. 2, the conventional transistor thus fabricated may have a portion of the lightly doped region 15, below the gate spacer 16 and adjacent to the channel, extend deeper into the substrate than the desired depth. This results since when the ion implantation step is performed to dope the epitaxial silicon layer 17, the ions being injected into the silicon layer 17 via the facet 18 are generally driven further into the silicon layer 17 than the ions in other region. Therefore, the large facet 18 may contribute to deterioration of the short channel characteristic and the hot carrier suppression capability of the transistors. In addition, during the annealing process, a significant number of the impurity ions may diffuse into the self-aligned epitaxial silicon sliver 19, which would result in lose of some of the benefits of having the lightly doped region 15 interface between the heavily doped silicon layer 17 and the channel.

One method used to solve the above problem has been to planarize the silicon layer 17 to remove the facet 18 and also to restructure junction structure to decrease hot carrier effects. However, such a solution becomes difficult to apply as the device shrinks to 0.13 micron and smaller.

#### SUMMARY OF THE INVENTION

In one embodiment, a method of manufacturing a transistor having an elevated drain in a substrate includes forming a gate structure on the substrate. A first doped region adjacent to one end of the gate structure is provided, the first doped region having a first dopant concentration level. A second doped region overlying the first doped region is formed, the second doped region having a second dopant concentration level. A third doped region overlying the second doped region is formed, the third doped region having a

third dopant concentration level different from the second dopant concentration level.

### BRIEF DESCRIPTION OF THE DRAWINGS

Figs. 1A to 1D are cross-sectional views for illustrating a conventional method of manufacturing transistors;

Fig. 2 is an enlarged view of a portion "A" shown in Fig. 1D;

Figs. 3A to 3D are cross-sectional views for illustrating a method of manufacturing transistors according one embodiment of the present invention; and

Fig. 4 shows graphs comparing the electrical crowded phenomena for the conventional transistors and the transistor fabricated according to one embodiment of the present invention.

### DETAILED DESCRIPTION OF PREFERRED EMBODIMENTS

Figs. 3A to 3D illustrate a method for manufacturing a transistor having elevated source and drain regions according to one embodiment of the present invention. Referring now to Fig. 3A, a field oxide isolation structure 21 is formed on a silicon substrate 20 to define an active region and an inactive region. A gate structure formed on the active region includes a gate oxide film 22 provided on the silicon substrate, a gate electrode 23 overlying the gate oxide film, and then a mask insulating film 24 overlying the gate electrode.

Next, mediumly doped regions 25 are formed in the substrate 20 adjacent the ends of the gate structure. In one embodiment, for this purpose, an ion implantation step is conducted at low energy. For example, to manufacture NMOS transistors, arsenic ions

are injected into the desired regions of the substrate at low energy of about 5 KeV to about 10 KeV. The ion implantation is conducted until the targeted regions reach impurity concentration between about  $10^{14}/\text{cm}^3$  to about  $7 \times 10^{12} \text{ cm}^3$  to form the mediumly doped regions 25. A junction depth of the regions 25 are provided to be about 600Å. In different implementations, different recipes may be used. For example, if the ion implantation is conducted with ions other than arsenic ions, different energy levels, different impurity concentration, different junction depth, or a combination thereof may be necessary.

Referring to Fig. 3B, after the mediumly doped regions 25 have been formed, an oxide film 26a and a nitride film 26b are sequentially deposited over the substrate, each film having a thickness of about 100Å to about 300Å. Normally, it is desirable that the oxide film 26a is formed with thickness of 100 to 200Å while the nitride film 26b is formed with thickness of 200 to 300Å. Thereafter, the oxide and nitride films are selectively removed to form a double gate spacer 26. Blank et dry etching is generally used to selectively removing those films and form the gate spacer 26.

Referring to Fig. 3C, forming a lightly doped silicon layer 27 first involves removal of a native oxide film (not shown) on the substrate. According to one embodiment, the native oxide film is removed using an ex-situ cleaning method which involves removing the substrate from the chamber, dipping the substrate into a cleaning solvent, such as HF, and performing a RCA or UV ozone cleaning. Thereafter, the substrate is reinserted into the chamber. The substrate is baked in a hydrogen atmosphere, i.e., a hydrogen bake, is performed at temperature between about 800 and 900 °C for one to five minutes to prevent oxide growth on the substrate. The ex-situ cleaning method and hydrogen bake are controlled to remove a selected portion of the oxide film 26a that is underlying the nitride



film 26a, thereby forming an undercut beneath the nitride film. The undercut stops about 100Å from an end of the gate oxide film 22.

After the hydrogen bake, the lightly doped silicon layer or lightly doped epitaxial silicon layer 27 is formed overlying the mediumly doped regions 25. In one embodiment, the lightly doped silicon layer 27 is formed by selectively growing an epitaxial layer on the exposed portion of the silicon substrate 20 using a low pressure chemical vapor deposition ("LPCVD") method. The process recipe for the LPCVD process includes flowing into the chamber about 30 sccm to about 300 sccm of dichlorsilane(DCS;  $\text{SiH}_2\text{Cl}_2$ ), about 30 sccm to about 200 sccm of  $\text{HCl}$ , and about 100 sccm to about 300 sccm of phosphine for doping. The chamber is maintained at a pressure between about 10 torr to about 50 torr and at a temperature between about 750 °C and 950 °C. The deposition process is performed for about 10 minutes to provide the lightly doped epitaxial silicon layer 27 having a thickness between about 500Å and 2000Å.

As shown in Fig. 3C, the growth of the epitaxial silicon layer 27 adjacent to the double gate spacer 26 is slower than other areas. As a result, a facet 28 is formed at the surface of the epitaxial silicon layer 27 adjacent the double gate spacer 26. However, the facet 28 is significantly smaller than the facet 18 formed under the conventional method because, under the present embodiment, a lightly doped epitaxial silicon layer, i.e., a self-aligned epitaxial silicon sliver 29("SESS"), is grown within the undercut during the LPCVD method. This lightly doped SESS 29 contributes to reducing the size of the facet 28 because first, oxide/nitride thickness ratio increases up to about 2/3 compared to about 1/4 for conventional SESS, and second, lightly doped selectively epi-growth is also effective to minimize facets to slower growth rate. Generally, the size of the facet 28 is less

than 100Å according to one embodiment of the invention.

Referring now to Fig. 3D, an ion implantation step is performed to form heavily doped regions 27a on the epitaxial silicon layer 27. In one embodiment, to manufacture NMOS transistors, the ion implantation step includes injecting arsenic ions into the epitaxial silicon layer at low energy of about 5 KeV to about 10 KeV, i.e., into the depth of about 300Å. The energy level is selected so that the ions are not driven too far into the epitaxial silicon layer, so that the lower portion of the epitaxial silicon layer remains lightly doped. The ion implantation is conducted until the targeted regions reach an impurity concentration level between about  $10^{15}/\text{cm}^3$  and  $5 \times 10^{15}/\text{cm}^3$ . After the desired impurity concentration level has been reached, an annealing process is performed for a predetermined time to activate the ions injected into the epitaxial silicon layer and form the heavily doped regions 27a having the thickness of about 1/2 of the epitaxial silicon layer. The thickness below 1/2 remains lightly doped.

In one embodiment, the heavily doped regions 27a and the lightly doped regions 27b may be formed without ion implantation step. For example, these regions may be formed by performing a first CVD method to grow the lightly doped region 27b and then switching to a second CVD method to grow the heavily doped regions 27a.

Referring back to the above embodiment, the annealing process is controlled so that the upper portion of the epitaxial silicon layer 27 becomes heavily doped while the lower portion remains lightly doped. In one embodiment, when the annealing process is performed in a reactive furnace, the annealing is performed in a nitrogen atmosphere at a temperature between about 800°C to about 950°C for about 10 to 30 minutes. In another embodiment, when the annealing process is performed in a rapid thermal annealing

1<sup>st</sup> epit for 27b.  
2<sup>nd</sup> epit for 27a.

$$\begin{aligned} 27 &= 500\text{Å} - 2000\text{Å} \\ 27a &= 1/2 \cdot 27 \\ 27b &= 1/2 \cdot 27 \end{aligned}$$

Very good.

furnace, the annealing is performed in an atmosphere containing  $N_2$  at a temperature between about 900 °C and about 1050 °C for about 1 to 30 seconds, where the temperature is increased in increments of about 30 to 200 °C per second.

From the above process, a transistor having elevated source and drain regions with junctions 257 are formed. The junction 257 includes the mediumly doped regions 25, the lightly doped regions 27b, and the heavily doped layers 27a stacked in sequence.

Fig. 4 compares the electrical crowded phenomena for the conventional transistors and the transistors formed according to methods described above ("new transistors"). The x-axis shows the distance from the center of the gate, and the y-axis shows the strength of electrical field. As shown, spikes in the electrical field are observed near the gate and drain junction for both the conventional transistors and the new transistors. However, the new transistors generally have spikes that are lower in magnitude than those of the conventional transistors. As a result, the new transistors suppress the hot carriers more effectively and reduce the short channel threshold voltage roll-off. These benefits are believed to derive from forming the self-aligned epitaxial silicon sliver 29 that is lightly doped and minimizing the facet formation.

While the above is a full description of the specific embodiments, various modification, alternative constructions and equivalent may be used. Therefore, the above description and illustrations should not be taken as limiting the scope of the present invention which is defined by the appended claims.

**WHAT IS CLAIMED IS:**

1. A method of manufacturing a transistor having an elevated drain in a substrate, the method comprising:

forming a gate structure on the substrate;

providing a first doped region adjacent to one end of the gate structure, the first doped region having a first dopant concentration level;

forming a second doped region overlying the first doped region, the second doped region having a second dopant concentration level; and

forming a third doped region overlying the second doped region, the third doped region having a third dopant concentration level different from the second dopant concentration level, wherein the elevated drain includes the third doped region, where the second dopant concentration level is lower than the third concentration level.

2. The method of claim 1, wherein the first dopant concentration level is higher than the second dopant concentration level but lower than the third dopant concentration level.

3. The method of claim 1, wherein the first doped region is formed within the substrate and formed by injection ions into the first doped region using low energy, the first dopant concentration level is  $1\text{E}14$  to  $5\text{E}14$ , and the first doped region has a junction depth of about  $500\text{\AA}$ .

4. The method of claim 1, forming the second and third dopant regions includes:

growing an epitaxial silicon layer over the first doped region, the epitaxial silicon

layer having an upper portion and a lower portion, where both the upper portion and the lower portion have the second dopant concentration level;

injecting ions into the epitaxial silicon layer into a particular depth within the upper portion of the epitaxial silicon layer; and

annealing the substrate to activate the injected ions to convert the upper portion of the epitaxial silicon layer into the third doped region having the third concentration level.

5. The method of claim 4, further comprising: forming a gate spacer having a first insulating layer and a second insulating layer different from the first insulating layer;

removing a portion of the first layer to form an undercut; and

forming a self-aligned epitaxial silicon sliver having the second dopant concentration level within the undercut.

6. The method of claim 5, wherein the annealing is control so that the self-aligned epitaxial silicon sliver would not have the third dopant concentration level.

7. The method of claim 5, wherein the size of the facet formed adjacent the gate spacer during the growing an epitaxial silicon layer is less than 100Å.

8. The method of claim 7, wherein the first insulating film is an oxide film and the second insulating film is a nitride film, the first insulating having a thickness of about 100 Å to about 200Å, and the second insulating film having a thickness of 200~300Å.

9. The method of claim 5, wherein the undercut is about 100Å laterally from the gate structure.
10. The method of claim 4, wherein the epitaxial silicon layer has a thickness between about 500Å and about 2000Å.
11. The method of claim 4, the growing-an-epitaxial silicon-layer step includes:  
flowing about 30 sccm to about 300 sccm of DCS, about 30 to about 200 sccm of HCl, and about 100 sccm to about 300 sccm of phosphine;  
maintaining the deposition pressure at about 10 torr to about 50 torr; and  
maintaining the deposition temperature at about 750 °C to 950 °C.
12. The method of claim 4, wherein the annealing process includes:  
inserting the substrate into a reactive furnace;  
providing a nitrogen atmosphere within the furnace;  
maintaining the temperature within the furnace at about 800°C to about 950; and  
processing the substrate inside the furnace for about 10 minutes to about 30 minutes.
13. The method of claim 4, wherein the annealing process includes:  
inserting the substrate into a rapid thermal annealing furnace;  
providing a nitrogen atmosphere within the furnace;  
maintaining the temperature within the furnace at about 900 °C to about 105 °C ;  
and

processing the substrate inside the furnace for about 1 second to about 30 seconds, where the temperature is increase in an increments of about 30°C to about 200°C per second.

14. The method of claim 1, wherein the third dopant concentration level has an ion concentration of  $1E15/CM$  to  $5E15/CM$  and the third doped region has a thickness of about 1/2 of the epitaxial layer.

15. A method of manufacturing a transistor having an elevated source and an elevated drain in a substrate, the method comprising:

forming a gate structure on the substrate to define a channel below the gate structure;

forming a first doped region within the substrate and adjacent to the channel, the first doped region having a first dopant concentration level;

growing an epitaxial silicon layer having an upper portion and a lower portion overlying the first doped region, the epitaxial silicon layer having a second dopant concentration level;

injecting dopants within the upper portion of the epitaxial silicon layer to increase the dopant concentration level of the upper portion to be higher than the lower portion.

16. The method of claim 15, further comprising:

annealing the substrate to activate the ions injected within the upper portion without significantly diffusing the injected ions into the lower portion, so that the upper portion has a third dopant concentration level which is higher than the second dopant concentration level of the lower portion.

17. The method of claim 16, further comprising:

providing a gate spacer adjacent to the gate structure; and

forming a self-aligned epitaxial silicon sliver having the second dopant concentration level beneath the gate spacer.



FIG. 1A  
(PRIOR ART)

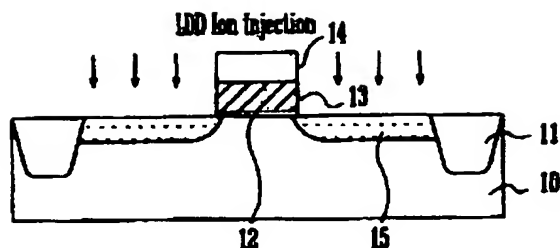


FIG. 1B  
(PRIOR ART)

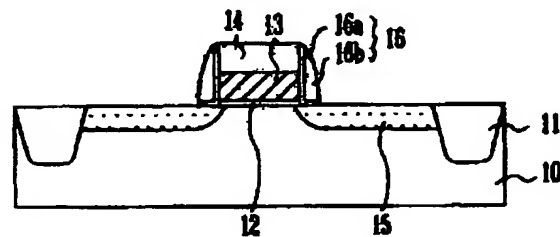


FIG. 1C  
(PRIOR ART)

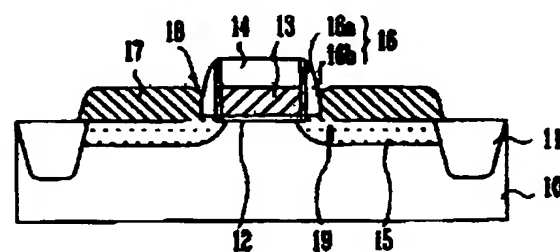
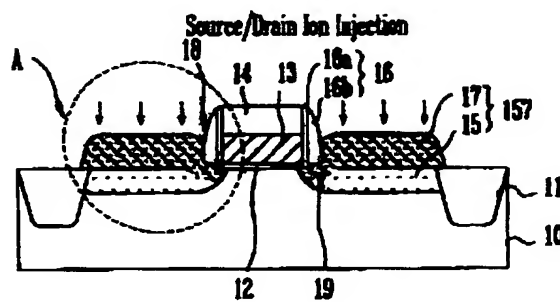
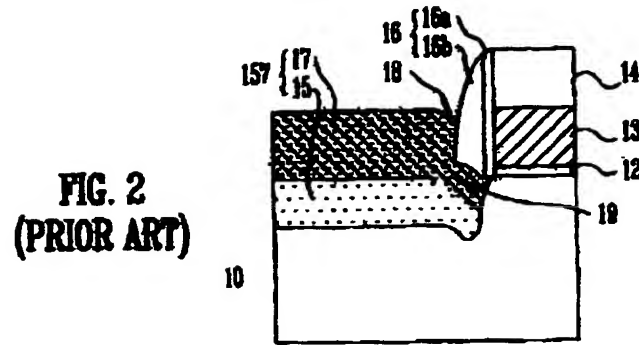
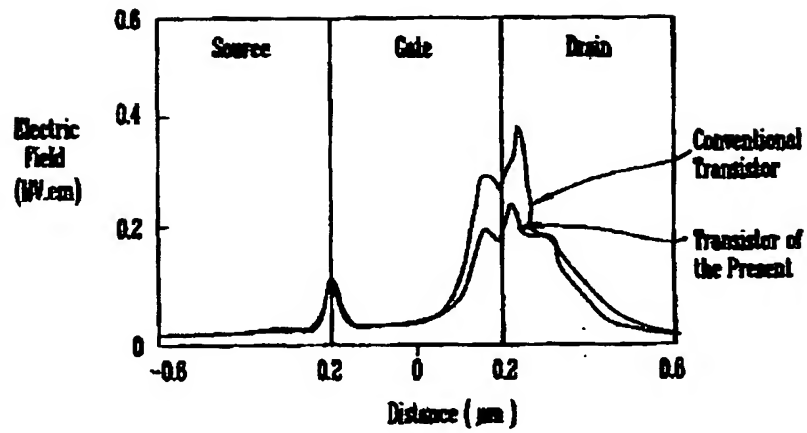


FIG. 1D  
(PRIOR ART)



**FIG. 4**



**ABSTRACT**

A method of manufacturing a transistor having an elevated drain in a substrate includes the steps of: forming a gate structure on the substrate; providing a first doped region adjacent to one end of the gate structure, the first doped region having a first dopant concentration level; forming a second doped region overlying the first doped region, the second doped region having a second dopant concentration level; and forming a third doped region overlying the second doped region, the third doped region having a third dopant concentration level different from the second dopant concentration level, in which the elevated drain includes the third doped region, where the second dopant concentration level is lower than the third concentration level.